

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Problem Image Mailbox.**

**THIS PAGE BLANK (USPTO)**

(54) SEMICONDUCTOR DEVICE

(11) 5-75015 (A) (43) 26.3.1993 (19) JP

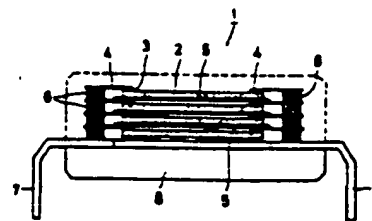
(21) Appl. No. 3-234485 (22) 13.9.1991

(71) SHARP CORP (72) AKIO GOTO

(51) Int. Cl.<sup>8</sup> H01L25/065, H01L25/07, H01L25/18

**PURPOSE:** To improve a manufacturing yield of devices as a whole by a method wherein a common input/output lead is connected electrically with each of stacked chips and the whole is sealed with resin or a cap.

**CONSTITUTION:** In a semiconductor device 1 wherein four semiconductor chips 2 are stacked, each of the semiconductor chips 2 is provided with bumps 3 on the opposite sides and copper foil leads 4 are connected to the bumps 3 respectively. These chips 2 are stacked with insulating layers 5 interposed. The leads 4 are connected electrically by studs 6 and the stud of the lowermost layer is connected to a lead frame 7. The lead frame 7 is fixed on a base made of plastic and resin packing is conducted in this state. According to this constitution, the number of input/output terminals formed on each chip can be lessened and the quality of the semiconductor chips having the respective functions can be inspected before the chips are assembled.



**THIS PAGE BLANK (USPTO)**

特開平5-75015

(43) 公開日 平成5年(1993)3月26日

(51) Int. Cl.<sup>4</sup>H 0 1 L 25/065  
25/07  
25/18

識別記号

庁内整理番号

F I

技術表示面所

7220-4M

H 0 1 L 25/ 08

Z

審査請求 未請求 請求項の数1(全4頁)

(21) 出願番号 特願平3-234485

(22) 出願日 平成3年(1991)9月13日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 後藤 昭夫

大阪市阿倍野区長池町22番22号 シャープ  
株式会社内

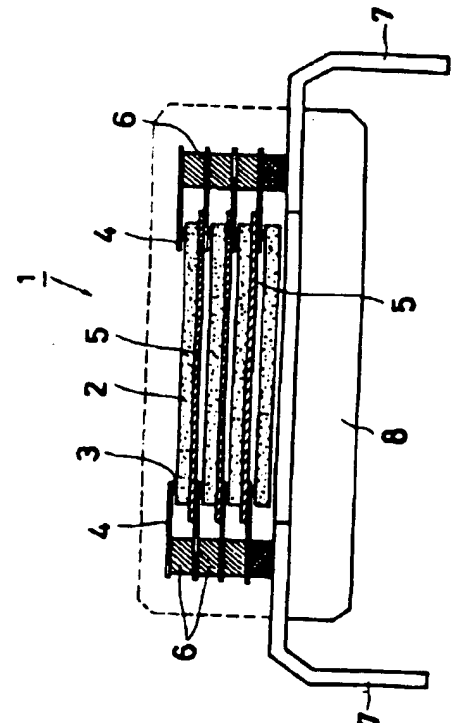
(74) 代理人 弁理士 野河 信太郎

(54) 【発明の名称】 半導体デバイス

(57) 【要約】

【目的】 メモリー容量の非常に大きな、且つ種々の半導体チップを組み込んだシステムが構築できるような半導体デバイスを提供する。

【構成】 半導体チップを上下に多数積層するものであって、積層された各チップ間のリードを、電気的に接続し、樹脂封入する。



【特許請求の範囲】

【請求項1】 TAB方式により実装された半導体チップを上下に複数積層するものであって、積層された各チップ間で共通の入出力リードを電気的に接続したものを樹脂封入又はキャップシールを行なうことを特徴とする半導体デバイス。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体デバイス、さらに詳しくは、半導体チップを上下に複数積層したデバイスに関する。

【0002】

【従来の技術】 シリコン半導体基板上に作られるIC、LSI等は日夜製造技術が進歩し、トランジスター等の集積度も飛躍的に増大してきている。集積度が上がるにつれ、半導体デバイス（半導体チップ）の機能も飛躍的に向上し、単なる部品としてよりも大きなシステムとしてみなされるようになってきた。

【0003】 また、同時に、システムの構成要素としてのCPU（論理回路）、マスクROM、EPROM、EEPROM、フラッシュEPROM、DRAM、SRAM、I<sup>2</sup>L、高速入出力部（バイポーラ、バイCMD S）等、それぞれの独立したデバイスがそれぞれの専用の製造工程を用い効率良く生産が行なわれるようになってきている。また、ニューロネット素子等、多数の同種構成要素の集合した大規模システムの需要も大きくなってきた。

【0004】

【発明が解決しようとする課題】 このような技術的要求の中で、従来技術では近時以下のような問題が発生してきている。それは、LSIの集積規模の増大に伴ない、入出力部の外部接続端子数が大きくなり、チップ面上のボンディングパッド及び入出力保護回路の面積比率が増大することである。これは、結果として集積効率の低下となる。

【0005】 また、LSI等、デバイスに求められるシステム的な機能の高度化に伴ない1つの2次元表面に形成される従来のLSI製造工程では、あらゆる前記構成要素を包含する製造プロセスを構築することは非常に困難であり、仮にそのような複雑な製造プロセスを構築することができたとしても、最小配線幅寸法（単位面積当たりに集積できる素子数）に制約が生じ、現在ある個々の専用の製造プロセスよりも非常に効率の悪いものとなり、同時にできあがったデバイスの動作速度等性能も低下したものしかできず、非常にコストパフォーマンスの悪いものになってしまう。

【0006】

【課題を解決するための手段】 以上のような現状に鑑み、本発明者は鋭意研究の結果本発明半導体デバイスを完成させたものであり、その特徴とするところはTAB

方式により実装された半導体チップを上下に複数積層するものであって、積層された各チップ間で共通の入出力リードを電気的に接続したものを樹脂封入又はキャップシールを行なう点にある。

【0007】 本発明に使用する半導体チップは、TAB方式により実装された半導体チップである。TAB方式とは、ワイヤボンディング方式やフリップチップ方式に対応するものであり、半導体チップの電極を外部に取り出す方式の1つである。通常は、キャリアフィルムにインナーリードとなる全層層を設け、それを打抜き工程等により配線とし、半導体チップの電極とアウターリードと接続するものである。本発明は、このTAB方式の利点を利用して開発したものである。即ち、TAB方式では、外部電極又は外部リードと接続する以前に平面状のリードが存在しているという点である。

【0008】 半導体デバイスの上下の積層は、絶縁層を介して上下に積むだけでよい。そして各チップからのリードを電気的に接続すればよい。接続方法は、リードに予めスタッド（電気通過突起）を設けておき、通常のアウターリードボンディングを繰り返せばよい。

【0009】 積層するチップが、すべて同種の場合、例えば、SRAMだけを5チップ積層する場合等は、共通化できない単独のリード端子からはそれぞれの外部ピンに接続し、共通するリード端子は各チップ間で接続し、1つの端子として1つの外部ピンに接続することとなる。このようにすると、メモリー容量が、5倍になることを意味する。また、上下に積層しているため、投影面積的には従来と変わらない。このような用途としては、大規模なメモリー容量が必要な場合であり、SRAMやDRAMの同種のものを多数積層する。また、ニューロネットワークの場合も同様に、同種の機能を有するものを積層する。

【0010】 また、本発明デバイスには、異種のチップを混在せしめて積層することも可能である。この場合、リードをすべて接続することはできないので、その部分には動作に関与しないダミーパッドを設けるか、又はインナーリードの数を減らしておけばよい。このような積層の例としては、上方よりCCDチップ、CPUチップ（論理回路）、SRAM、マスクROM、EPROM等を積層するものが考えられる。これは画像情報処理専用のデバイスとして使用できる。この場合は、当然封入樹脂はアクリル樹脂等の透明なものを用いる。

【0011】 本発明半導体デバイスは、半導体チップを上下に積層して、各リードを電気的に接続して（ダミーパッドの場合もある）、それを一体化するところが新規であり、個々の構成部品自体は、わずかな製造の煩雑さを許容すれば、従来のものでも製造可能であり、特別なものである必要はない。

【0012】

【作用】 上記のデバイスにより、高い集積度が得られ、

且つ入出力データバスラインを共通化することにより、入出力端子数を低減することができる。

【0013】

【実施例】以下図面に示す実施例に基づき、本発明をより詳細に説明する。図1は、本発明半導体デバイス1の1例を示す断面図である。4枚の半導体チップ2が積層されている。個々の半導体チップ2には、バンプ3が両側に設けられ、そのバンプ3に銅箔リード4が接続されている。この例では、すべての半導体チップは、SRA Mであり同種のものである。このチップ2が絶縁層5を介して積層されている。

【0014】個々のリード4をスタッド6で電気的に接続し、最も下層のスタッドはリードフレーム7に接続されている。リードフレーム7は、基板（プラスチック製）に固定されている。この状態で、破線で示す部分まで樹脂充填を行なう。これで、半導体デバイス1の完成である。これは、積層されたSRA Mが1枚の従来のデバイスと比較して、メモリー容量は4倍であり、所要面積は同じである。ただ高さが従来のものの2倍程度になるだけである。この高さは、通常比較的余裕があり、問題とならない場合が多い。これによって、単位面積当たりの集積度が大きく向上したこととなる。なお、個々の半導体チップにおいて、リードフレーム7と接続させないバンプ3には銅箔リード4が接続しないように、銅箔リード4の一部が予め除去される。

【0015】図2は、図1の各層の接続状況を示す概略斜視図である。各層からリード4が出て、それらが個々にスタッドを介して上下に接続されているのが分かる。また、最終的に外部端子となるリードフレームが最下層に接続されている。

【0016】次に、製造方法について述べる。ウエハー作成工程をほぼ終了したウエハー状の半導体基板上に、接着金属並びにメッキの下地となる金属層を真空蒸着若しくはスパッター法により形成する。その後、フォトリソグラフィの技術を用いて、バンプ形成部のみを開口したレジスト層を形成する。次いで、バンプ形成材料であるAu等の金属を前記開口部分にメッキ液中で電気メッキを行ない、10～30μm程度の凸起を形成する。不要な前記蒸着若しくはスパッターにより形成した金属層を該凸起部分をマスクにしてエッチング除去し、バンプ形成工程を終了する。図3は、その半導体チップを示す。尚、半導体チップの厚みは集積度を上げる為、大凡100～300μmの厚みとすることが好ましい。勿論、半導体チップ側ではなく、リード側にバンプを形成する転写バンプ方式でもよい。

【0017】次に、図4に本発明に使用するリードの1例を示す。本発明に使用するリードは特に限定はしないが、本実施例のようなものが好適である。この例では、ポリイミド製のキャリアテープ9上にリード4が形成され、そのリード4上にスタッド6が設けられている。

このスタッドの形成方法は、フォトリジストを用いて製造すればよい。

【0018】次に、このTABテープに対して、図3に示すバンプ形成された半導体チップを、通常のTABプロセスで行なわれるインナーボンディング（ギャングボンディング）を行ない、リードとバンプの機械的、電気的接合を行なう。この時に、各チップの電気的な機能テストを行ない、不良品を除去する。リード4と、半導体チップ2が接合された状態を図5に示す。図5に示す半導体チップには、その下層に絶縁層5が設けられている。

【0019】次に、本発明に用いるリードフレーム7について説明する。図6は、本発明に使用するリードフレーム7を示す断面図である。これは、通常のリードフレームにスタッドを設けただけでよく、特別のものである必要はない。

【0020】最後に、図6で示すリードフレーム7に、図5で示す半導体チップ2を重ねてアウターリードボンディングを繰り返す。最下層のものには、絶縁層5は不要である。また、最上層のものには、スタッドは不要である。最後に、樹脂モールド、セラミックの場合にはキャップシールを行ない、組み立て完了である。

【0021】

【発明の効果】以上、詳細に説明した半導体デバイスでは、単に上下に積層するだけで、メモリー容量を簡単に増加させることができ、デバイス自体の大きさは高さがわずかに大きくなることを除いて、変わらない。よって、集積度が大きくできるということとなる。また、種々の半導体チップを組み合わせることによって、1つの半導体デバイスで規模の大きなシステムを構成することができる。

【0022】更に、上下に積層してリードを接続することにより、各チップ上に形成する入出力端子数を低減することができる。また、各チップを組み立てる前に、それぞれの機能を有する半導体チップの良否を検査することができるため、デバイス全体としては、製造歩留りが高くなり、大きなコストメリットが得られることとなる。

【図面の簡単な説明】

【図1】本発明半導体デバイスの1例を示す断面図である。

【図2】図1に示す例の各層の接続状況を示す概略斜視図である。

【図3】本発明に使用する半導体チップの1例を示す断面図である。

【図4】本発明に使用するリードの1例を示す断面図である。

【図5】本発明用に接続された半導体チップの1例を示す断面図である。

【図6】本発明に使用するリードフレームの1例を示す

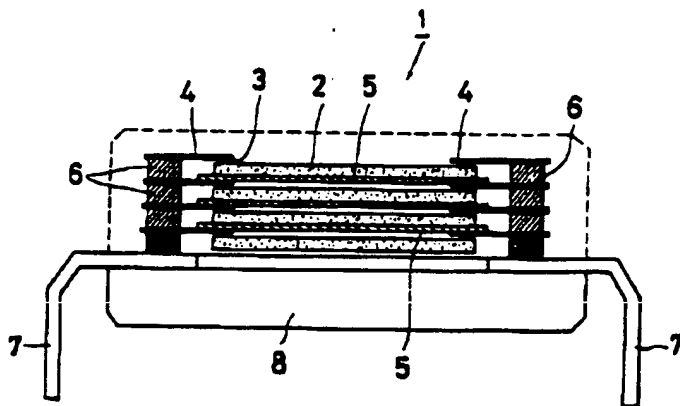
断面図である。

【符号の説明】

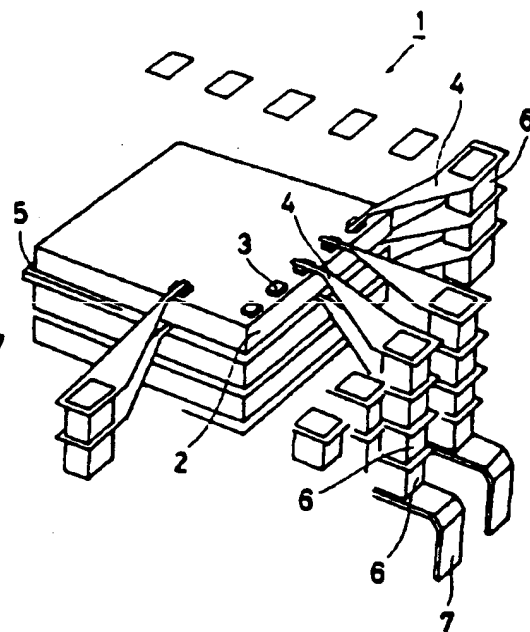
- 1 半導体デバイス
- 2 半導体チップ
- 3 パンプ
- 4 リード

- 5 絶縁層
- 6 スタッド
- 7 リードフレーム
- 8 プラスチック基板
- 9 キャリアテープ

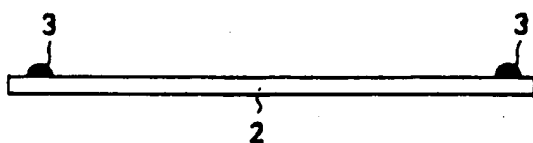
【図1】



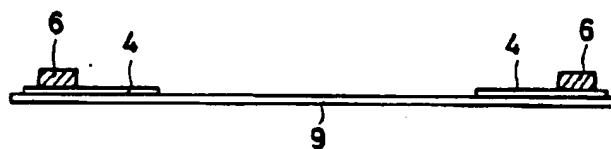
【図2】



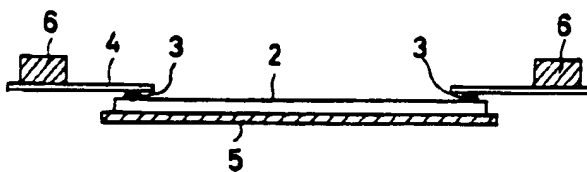
【図3】



【図4】



【図5】



【図6】

